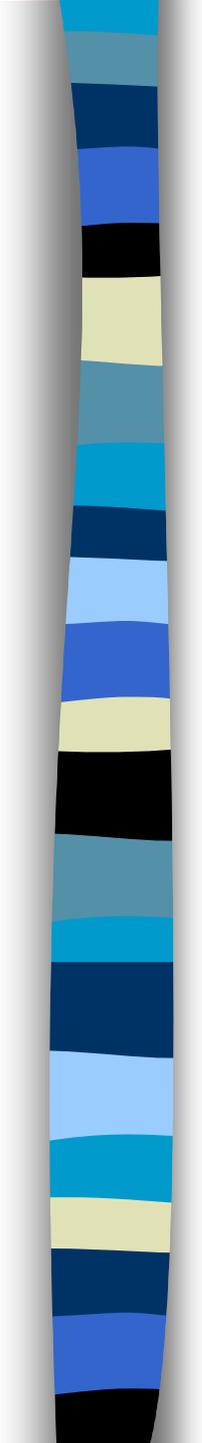


Programmierbare Logik

CPLDs

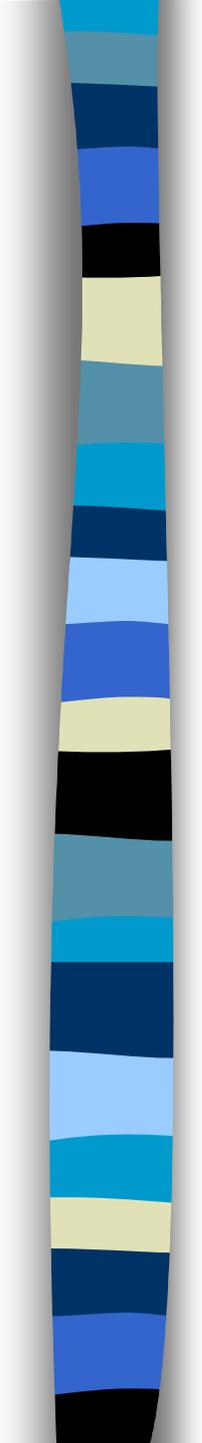


Studienprojekt B
Tammo van Lessen



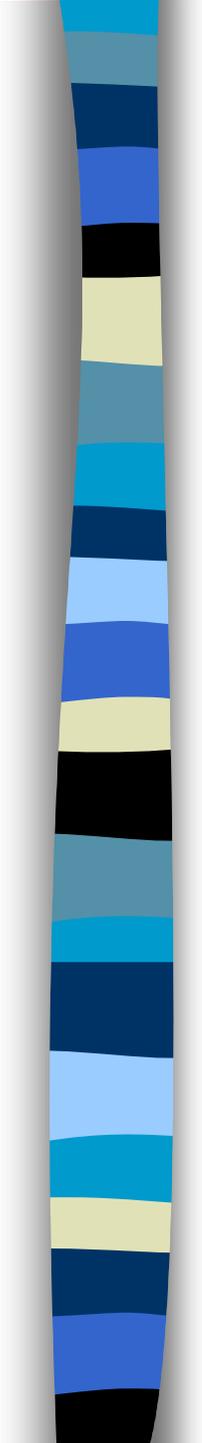
Gliederung

- Programmierbare Logik
- Verschiedene Typen
- Speichertechnologie
- Komplexe Programmierbare Logik
- System On a Chip



SPLD (Simple Programmable Logic Device)

- „Dynamische Verdrahtung“
 - ROM
 - PAL
 - PLA
- Speicherung per FUSE-Technologie

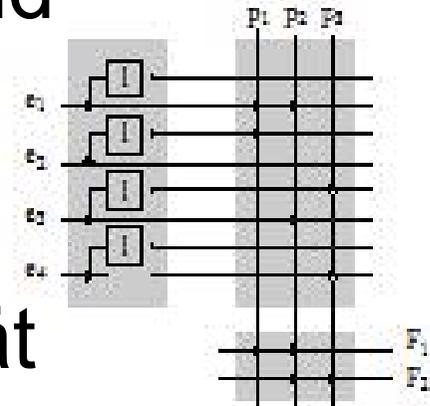


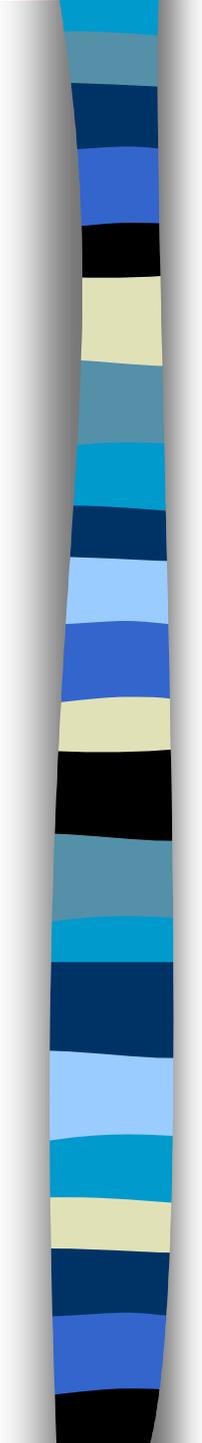
ROM (Read Only Memory)

- Einfachstes Beispiel
- Eingangsvariablen sind Adressleitungen
- Ausgangsvariablen sind Datenleitungen
- Wertetabelle ist Speicherinhalt
- 2^n Speicherzellen
- ODER-Matrix

PLA (Programmable Logic Array)

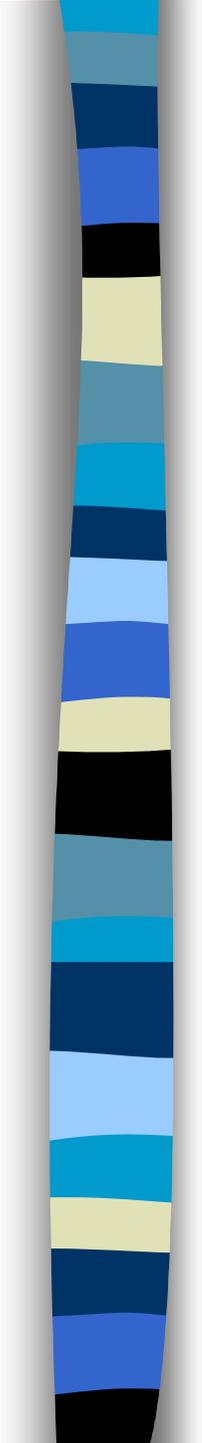
- Nachbildung einer Funktion in DNF
- UND und ODER-Terme sind programmierbar
- Speicher nicht flüchtig
- Vorteil: Maximale Flexibilität
- Nachteil: Großer Aufwand





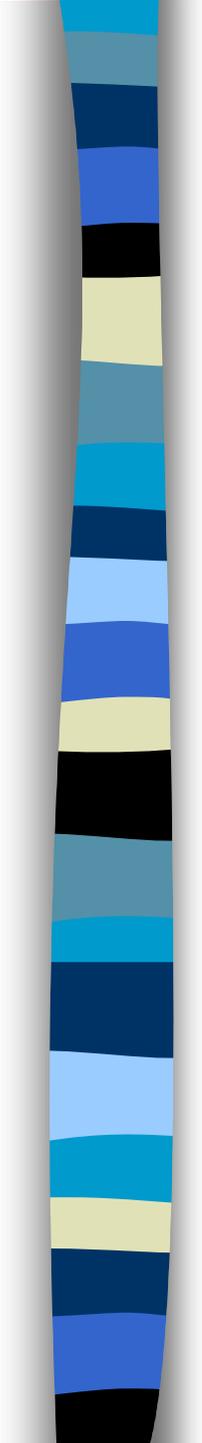
PAL (Programmable Array Logic)

- PLA-Variante mit festverdrahteten ODER-Termen
- UND-Terme sind freiprogrammierbar
- Disjunktive Minimalform
- Weniger Verdrahtung durch Minimierung
- Speicher nicht flüchtig
- Erweitert durch FlipFlops und Treiber



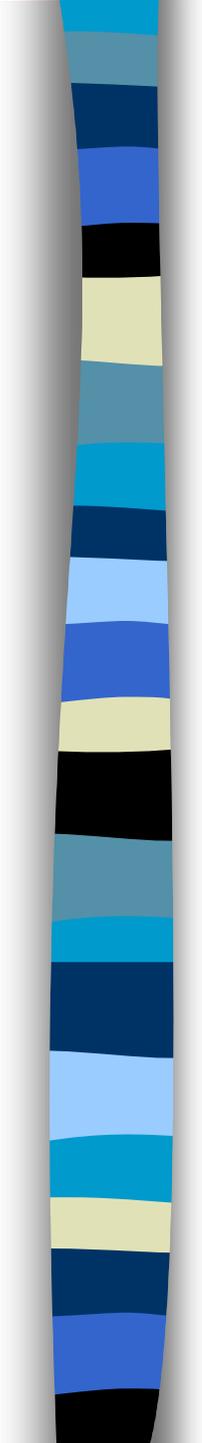
GAL (Gate Array Logic)

- Bilden PALs pin-kompatibel nach
- Sind E²PROM-programmiert
- Speicher ist nicht flüchtig
- Begrenzt wiederprogrammierbar



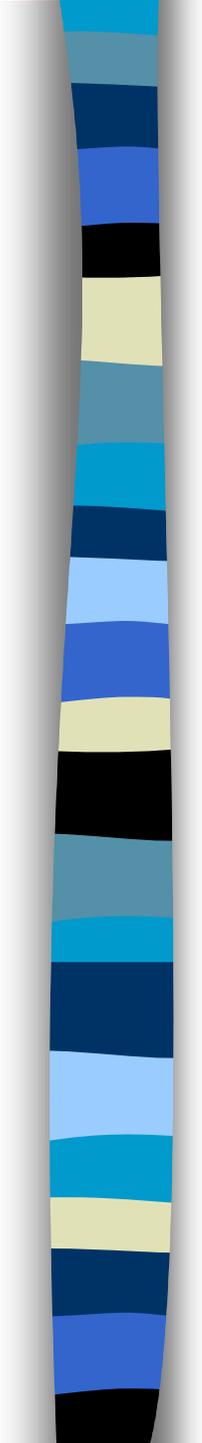
Speichertechnologien

- Fuse
- Anti-Fuse
- (E)EPROM
- SRAM



Komplexe Aufgaben

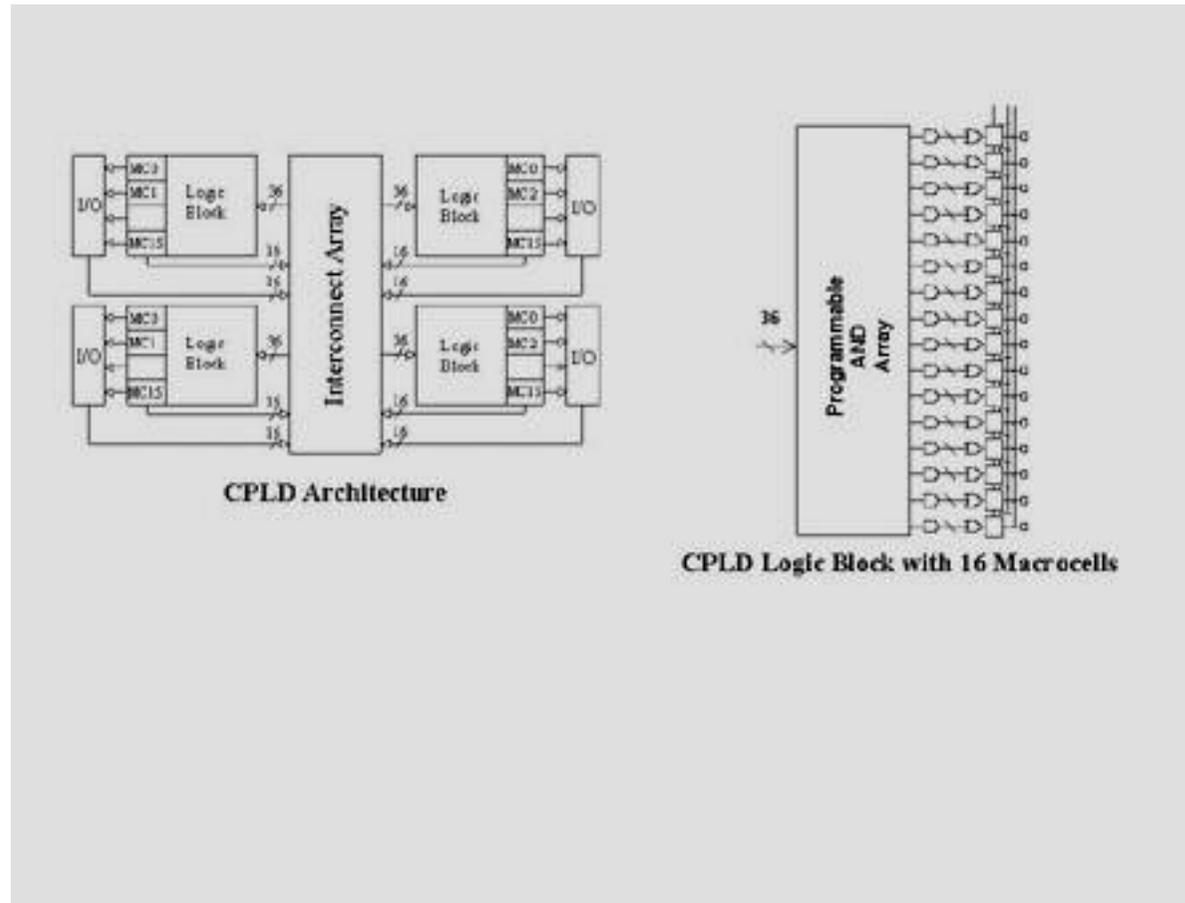
- SimplePLDs sind nur kleinen Logischen Problemen gewachsen
- Sequenzielle Schaltungen sind nicht möglich.
- Lösung:
 - Zusammenfassen mehrerer SPLDs und FlipFlops zu einem komplexen Baustein

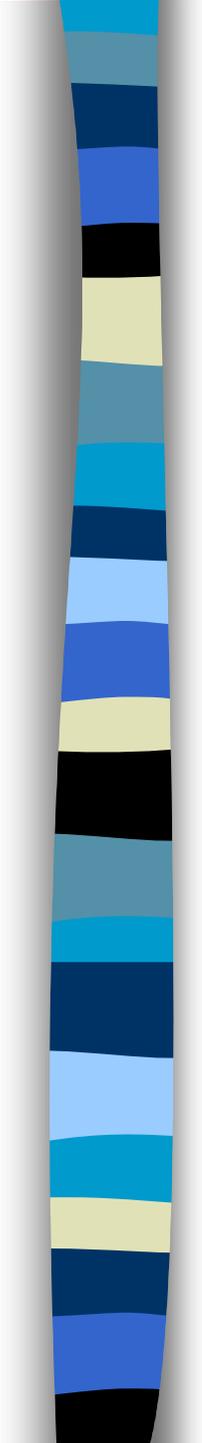


CPLD (Complex Programmable Logic Device)

- Einige wenige Funktionselemente (LABs) (bis 100)
- LABs: breite Logik und viele FF (20-50 Inputs, FF > 8)
- Schaltmatrix (InterConnect) verbindet LABs untereinander und mit E/A global. Dadurch feste Signallaufzeiten.
- Logik realisiert wie bei PAL/PLA
- Speicherung auf (E)EPROM (nicht flüchtig)

CPLD Architektur

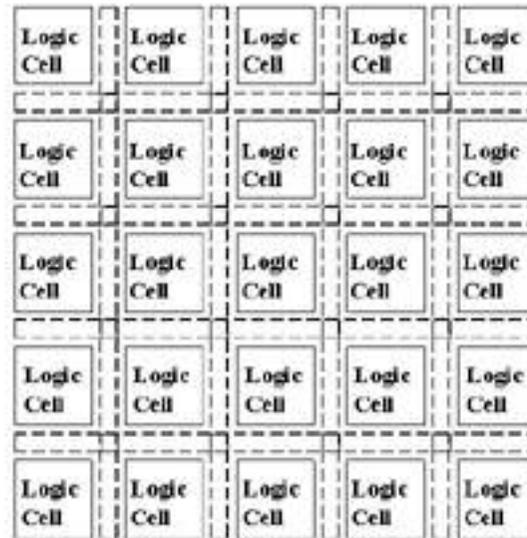




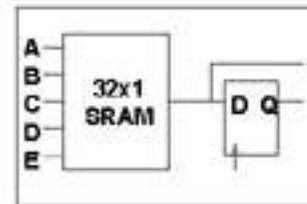
FPGA (Field Programmable Gate Array)

- Viele kleine Funktionselemente (CLB) (ab 100)
- CLBs: Schmale Logik, evtl. FF (Inputs < 10, max. 2 FF)
- Lokale Verdrahtung der FE mittels (programmierbar)
- Daher inhomogene Signallaufzeit
- Logik realisiert mittels LUTs/RAM
- Speicherung auf SRAM (flüchtig) oder Antifuse (nicht flüchtig)

FPGA Architektur



FPGA Architecture

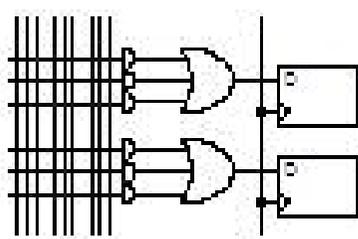


FPGA Logic Cell

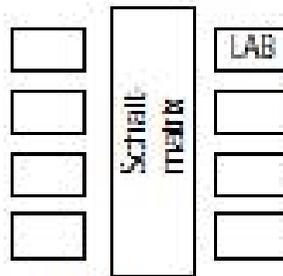
Vergleich CPLD und FPGA

Eigenschaften	CPLD	FPGA
Aufbau der Logikzellen	Wenige große Blöcke mit Logik- und E/A-Makrozellen auf PAL-Basis (UND-ODER-Matrix)	Große Anzahl kleiner Funktionsblöcke auf LUT-Basis (RAM)
Verbindungen	Zentrale globale Verbindung – keine Verdrahtung nötig	Dezentrale lokale Verbindungen – Verdrahtung nötig
E/A	Relativ direkte Verbindungen zwischen Makrozellen und Pins. Schneller Signalweg von Logikmakrozellen zu Pins.	Ring aus frei zuordenbaren E/A-Blöcken. Jede Logikzelle kann mit jedem Pin verbunden werden, aber über separate Ausgangsregister vor den Pins.
Signallaufzeiten	Homogen, konstant, relativ kurz und vorhersagbar	Inhomogen, abhängig vom konkreten Signalweg, nicht vorhersagbar.
Flächennutzung	40% - 60%	50% - 95%
Stromverbrauch	hoch bis sehr hoch	gering bis mittel

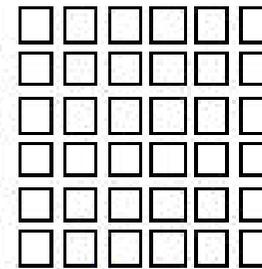
Vergleich CPLD und FPGA II



PLD



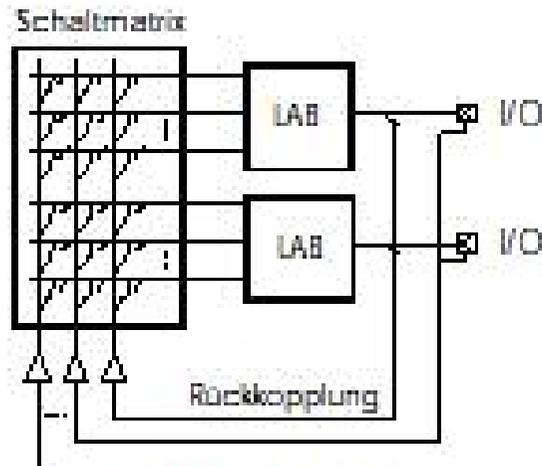
CPLD



FPGA

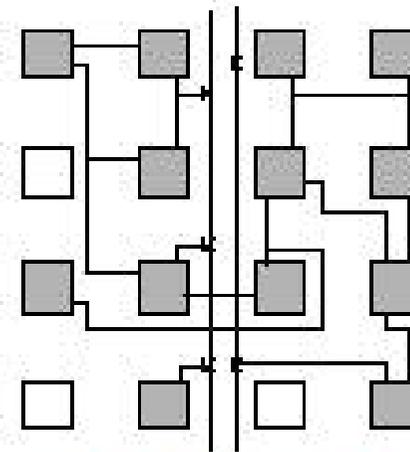
Architekturen von PLD, CPLD und FPGA

CPLD



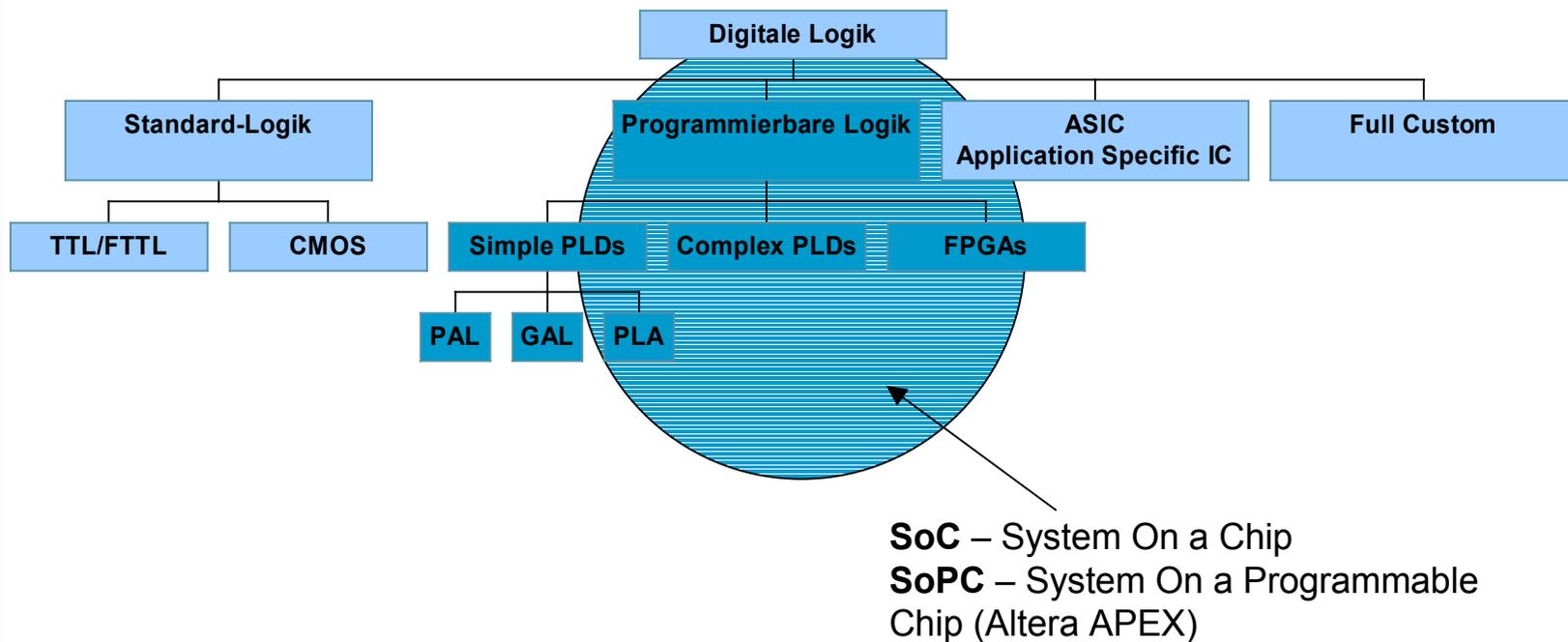
Schaltmatrix-Verdrahtung

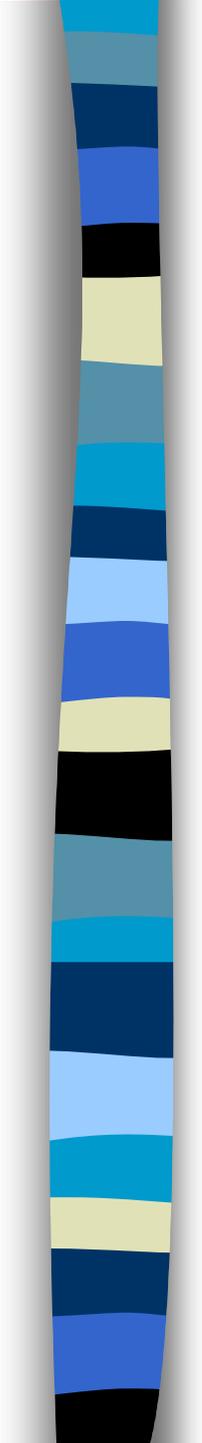
FPGA: viele CLB's



Verdrahtung aus Segmenten

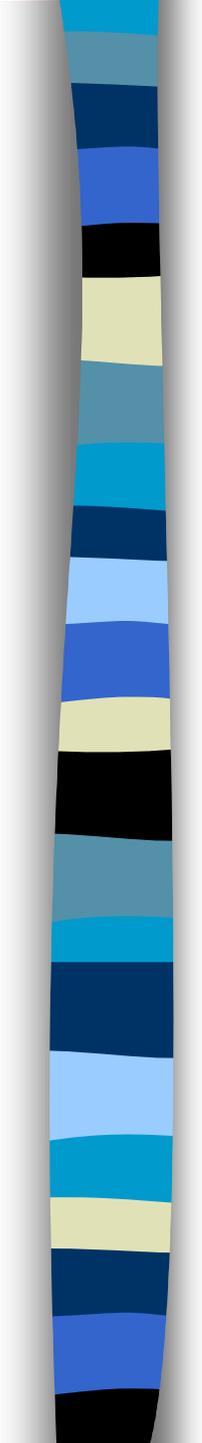
Digitale Logik-Technologien





Der Nächste Schritt

- CPLDs und FPGAs geben den Entwerfer viel Flexibilität
- Es geht aber noch mehr:
 - SoPC (System On a Programmable Chip)
 - Erweiterung durch I/O-Treiber, serielle Schnittstelle, I²C-Bus
 - Dadurch im System programmierbar
 - Verbindung von CPLD und FPGA
- Beispiel: Altera APEX 20K

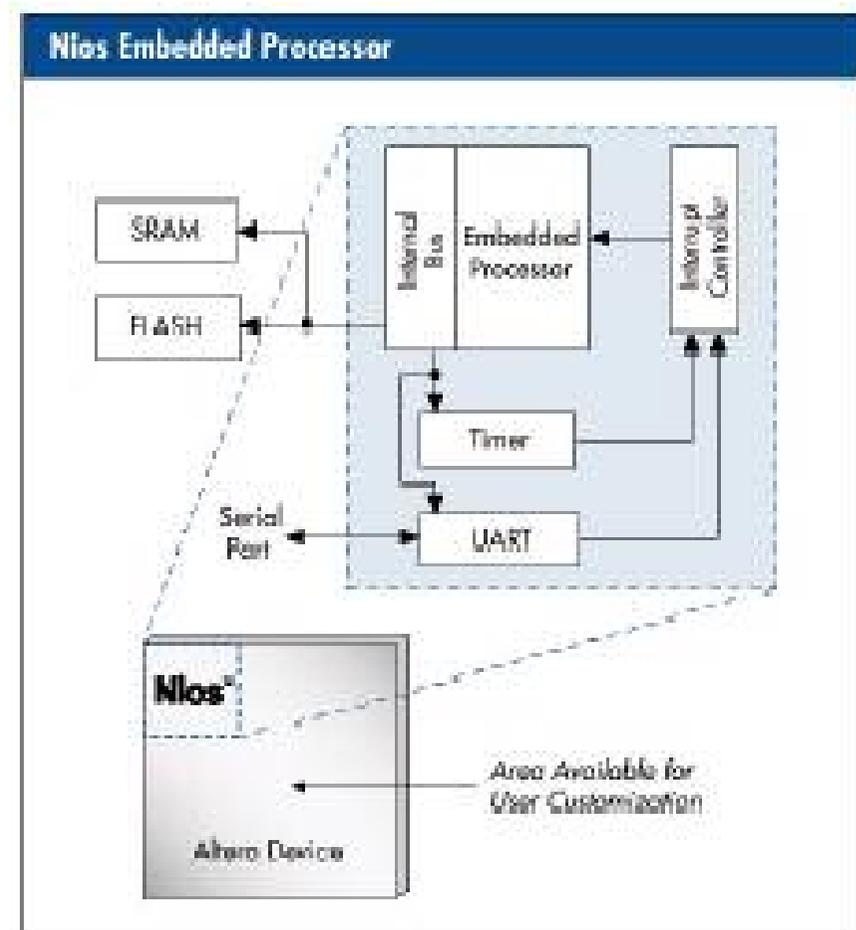


Altera APEX 20K

- 2,5 Millionen Gatter (NAND)
- 66 MHz PCI-kompatibel
- Interne Transferraten von 622Mbit/s
- Zwischen FPGA und CPLD
 - Feste Signallaufzeiten, aber viele CLBs

NIOS Embedded Processor

- Konfigurierbare RISC-Architektur (16bit und 32bit)
- On-Chip-Peripherie (UART, Timer, PIO, SRAM, FLASH,
- In Zukunft auch Ethernet, IDE



Vielen Dank!

